桂林电子科技大学2023-2024学年 第 2学期

**计算机组成原理B实验报告**

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 实验名称 | **32位ALU设计** | | | | | | | |  | 辅导教师意见：  成绩 教师签名： |
| 院 系 | **计算机与信息安全学院** | | | 专业 | | **网络空间安全** | | |
| 学 号 | **2200350101** | | | 姓名 | | **白楚榆** | | |
| 同 作 者 | **无** | | | | | | | |
| 实验日期 | **2024** | 年 | **4** | | 月 | | **19** | 日 |
|  |  | | | | | | | |

## 一、 实验目的和要求

1. 实验目的

（1） 掌握算术逻辑运算单元（ALU）的基本构成；

（2） 掌握Logisim中各种运算组件的使用方法，熟悉多路选择器的使用；

（3） 掌握ALU的设计和仿真方法。

2. 实验要求

（1） 实验前，完成Logisim软件使用学习，并预习实验内容，准备好ALU设计方案；

（2） 独立完成ALU设计，在头歌平台完成指定闯关任务；

（3） 如实记录实验设计步骤，并对实验过程及结果进行分析总结，撰写实验报告。

## 二、 实验步骤

1. 8位可控加减法器

（1） 设计思路

[A]补+[B]补=C

[A]补-[B]补=[A]补+[-B]补=C

溢出检测：S符号位 ⊕ Z最高位 = 1 溢出

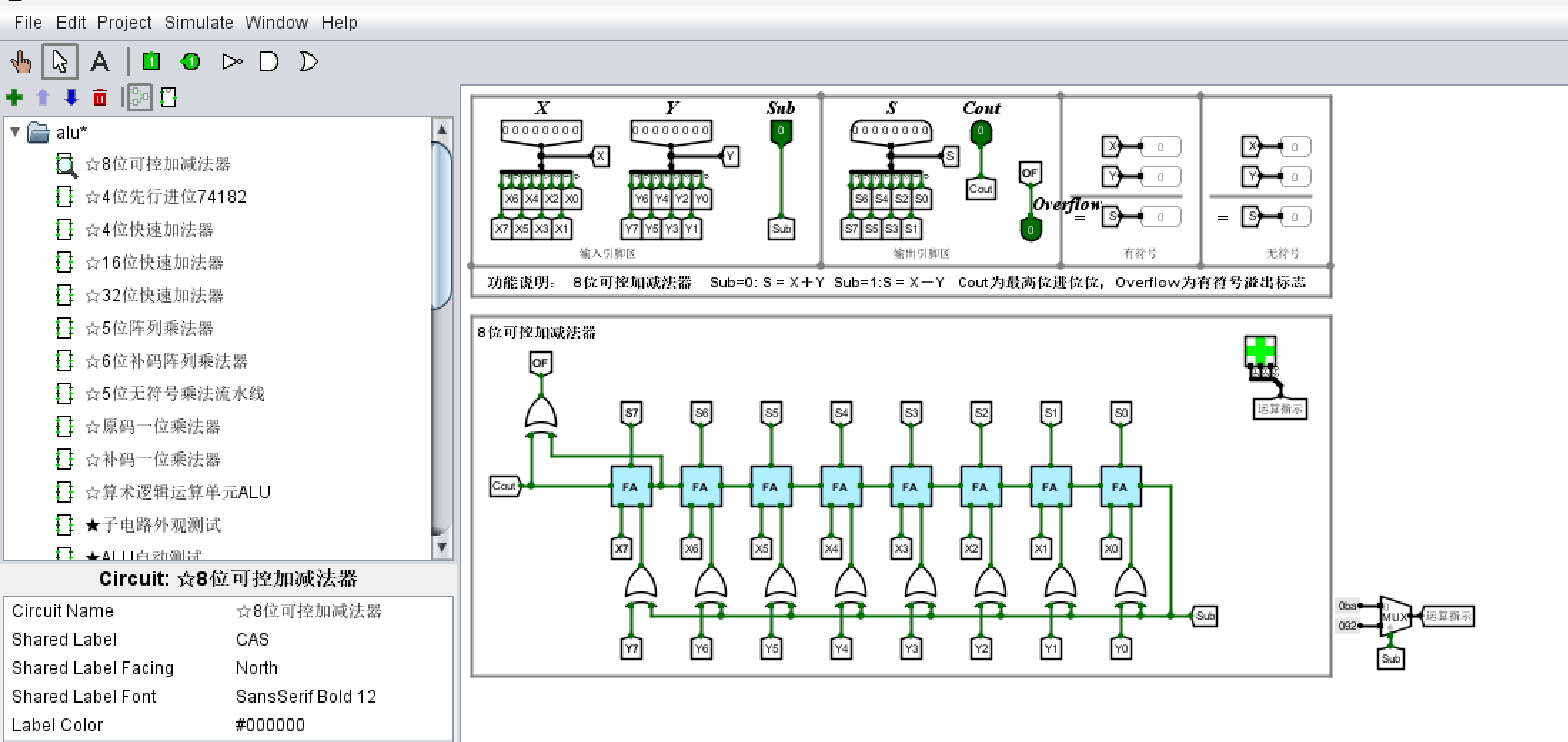
S符号位⊕ Z最高位 = 0 无溢出

将8个一位全加器FA串联即可得到8位加法器

当sub = 0，执行加法操作。0和二进制数异或运算 数字不变，然后通过一位全加器FA执行加法运算。

当sub = 1，执行减法操作。1和二进制数异或运算来进行取反操作，然后将sub = 1，传入FA进行+1操作。

（2） 本关子电路实现



2. 4位可级联先行进位电路

（1） 设计思路

由全加器可知：

Ci+1 = Ai · Bi + Ai · Ci + Bi · Ci = Ai · Bi + ( Ai + Bi ) · Ci

设：生成信号：Gi=Ai · Bi，传递信号：Pi=Ai + Bi

则：Ci+1 = Gi + Pi · Ci

P = P4 P3 P2 P1

G = P4 P3 P2 G1 + P4 P3 G2 + P4 G3 + G4

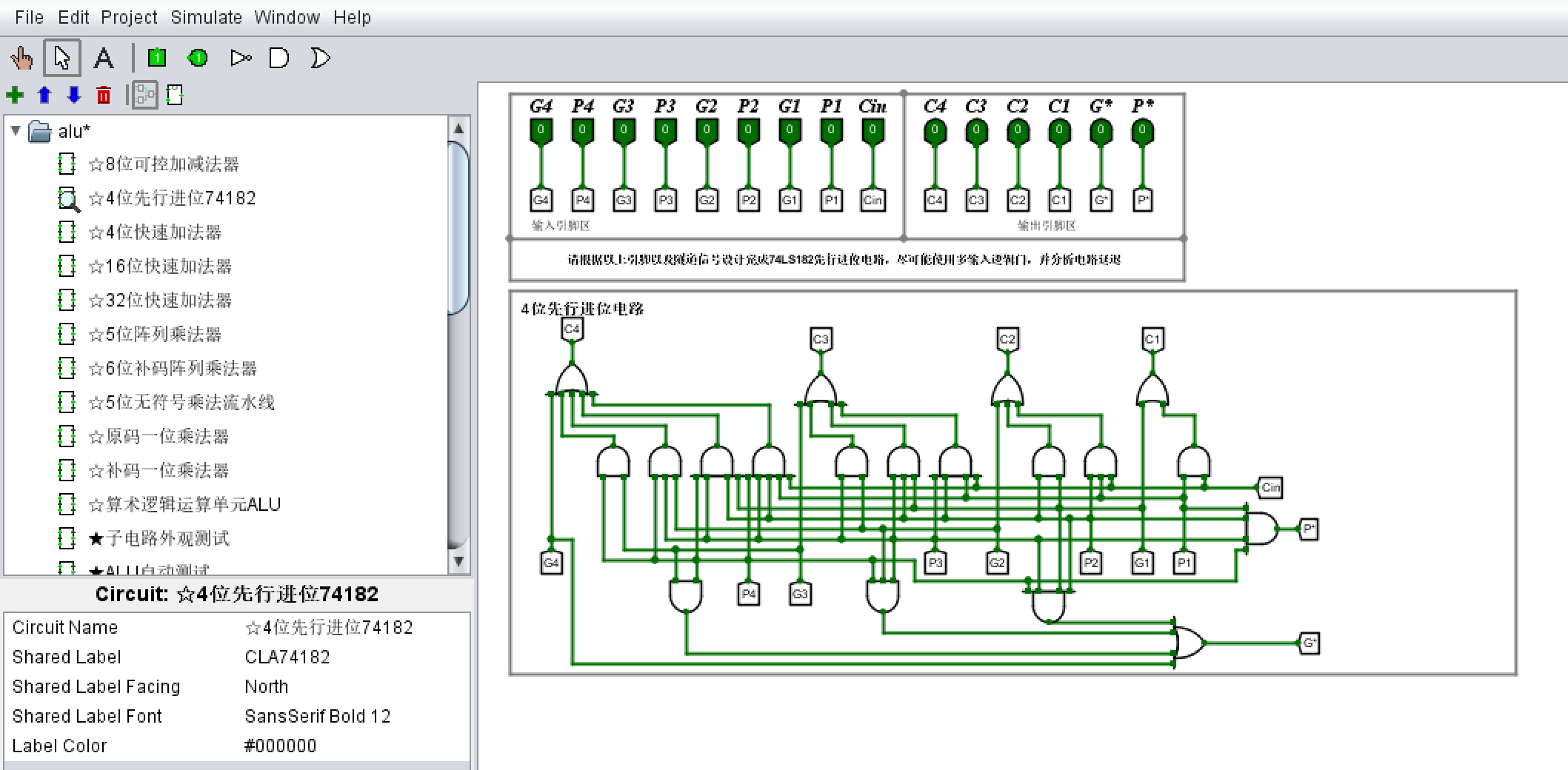
C1 = P1 Cin + G1

C2 = P2 P1 Cin + P2 G1 + G2

C3 = P3 P2 P1 Cin + P3 P2 G1 + P3 G2 + G3

C4 = P4 P3 P2 P1 Cin + P4 P3 P2 G1 + P4 P3 G2 + P4 G3 + G4

1. 本关子电路实现



3.4位快速加法器设计

（1）设计思路

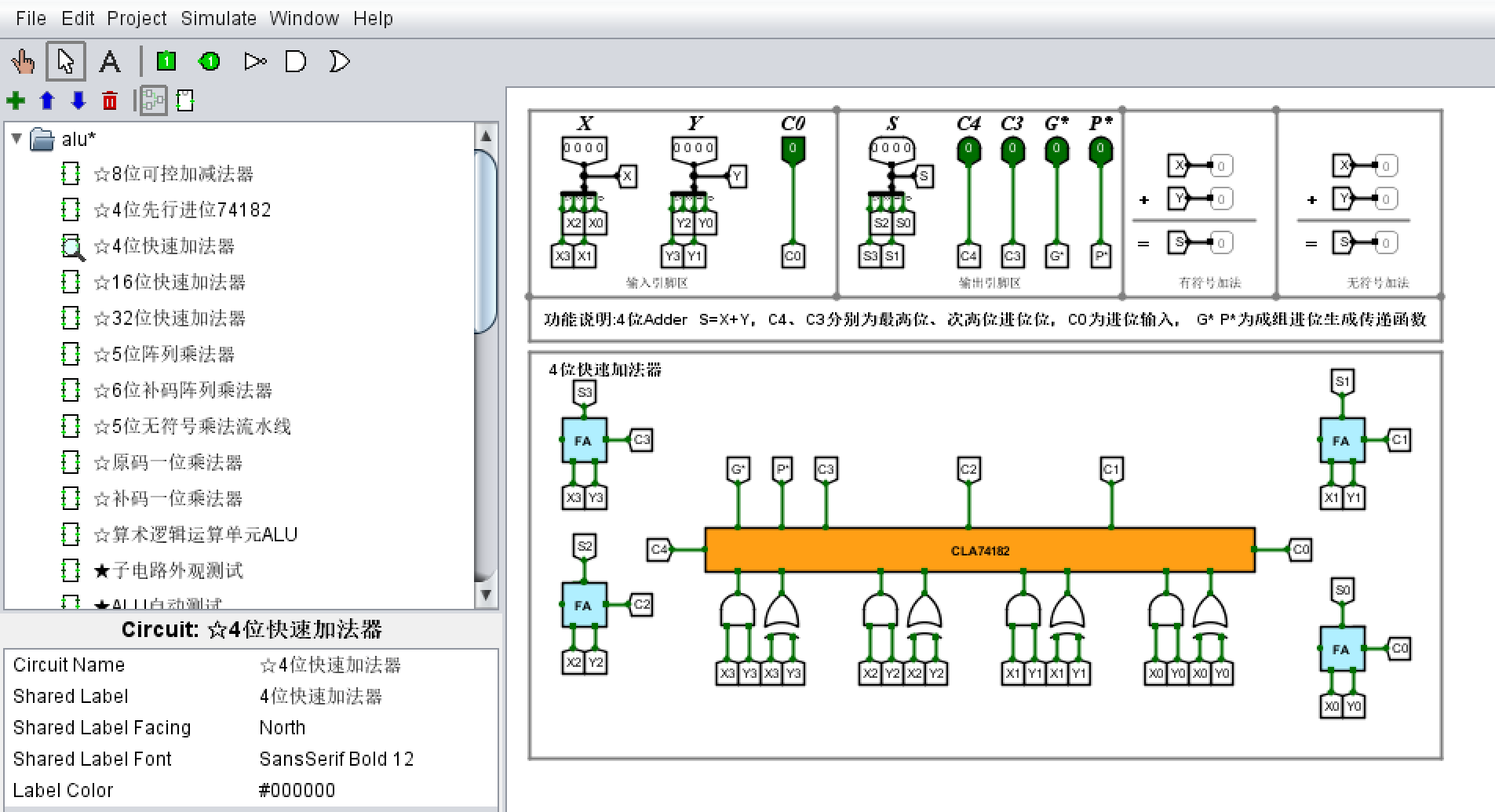
由“CLA部件”和“求和部件”构成

和数 Si=Xi⊕Yi⊕Ci-1

因为CLA需要的输入是P1，G1，P2，G2，P3，G3，P4，G4,所以Gi=XiYi得Gi，Pi=Xi⊕Yi得Pi

S4 = X4⊕Y4⊕C3 = P4⊕C3，S3 = X3⊕Y3⊕C2 = P3⊕C2，S2 = X2⊕Y2⊕C1 = P2⊕C1，S1 = X1⊕Y1⊕C0 = P1⊕C0

1. 本关子电路实现

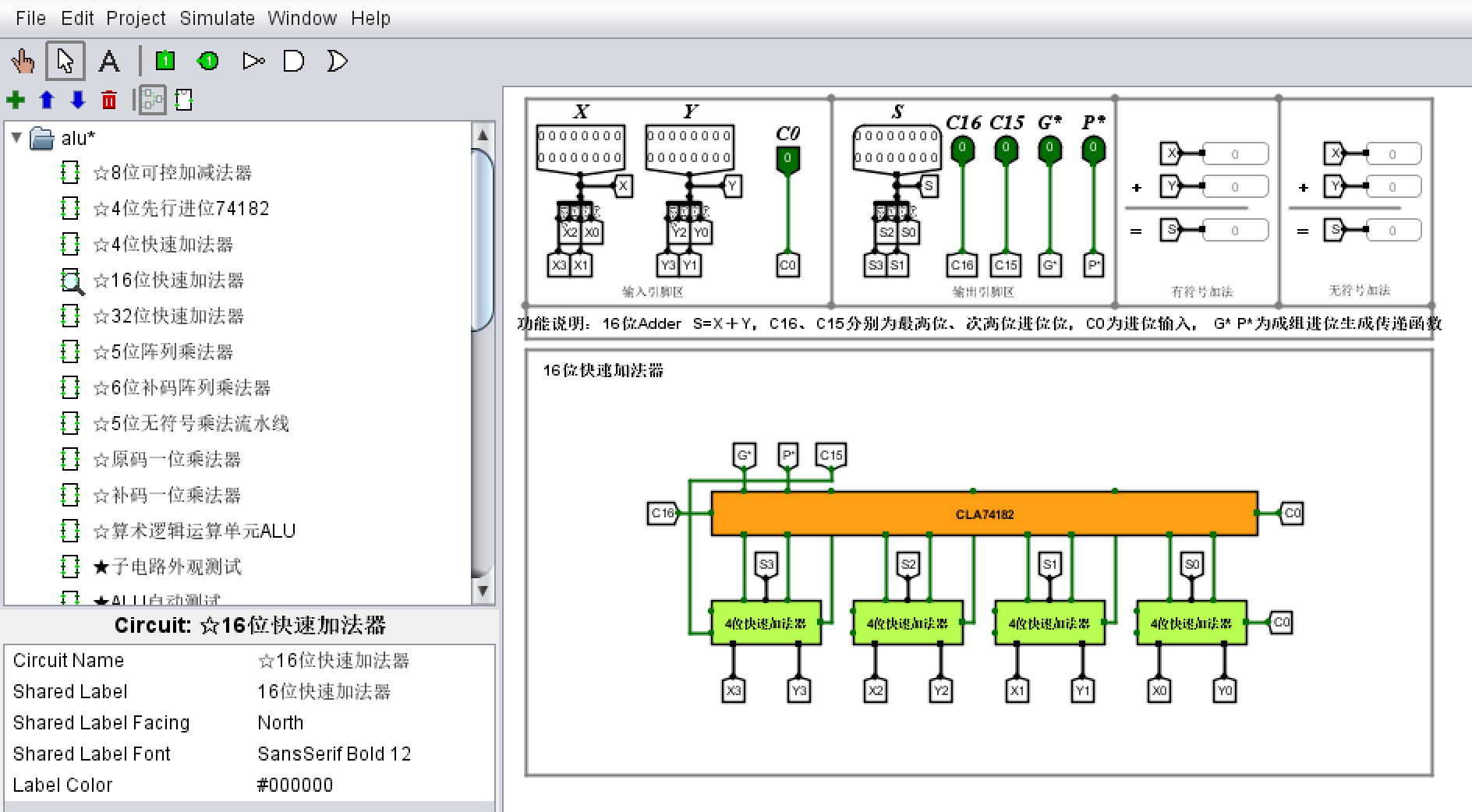


4.16位快速加法器设计

设计思路

16位快速加法器是对于4位加法器进行扩展，扩展成16位，用4位快速加法器上端的接口C1、C2、C3、C4连接到16位快速加法器上面的进位输入端，实现快速的进位传递。

(2)本关子电路实现

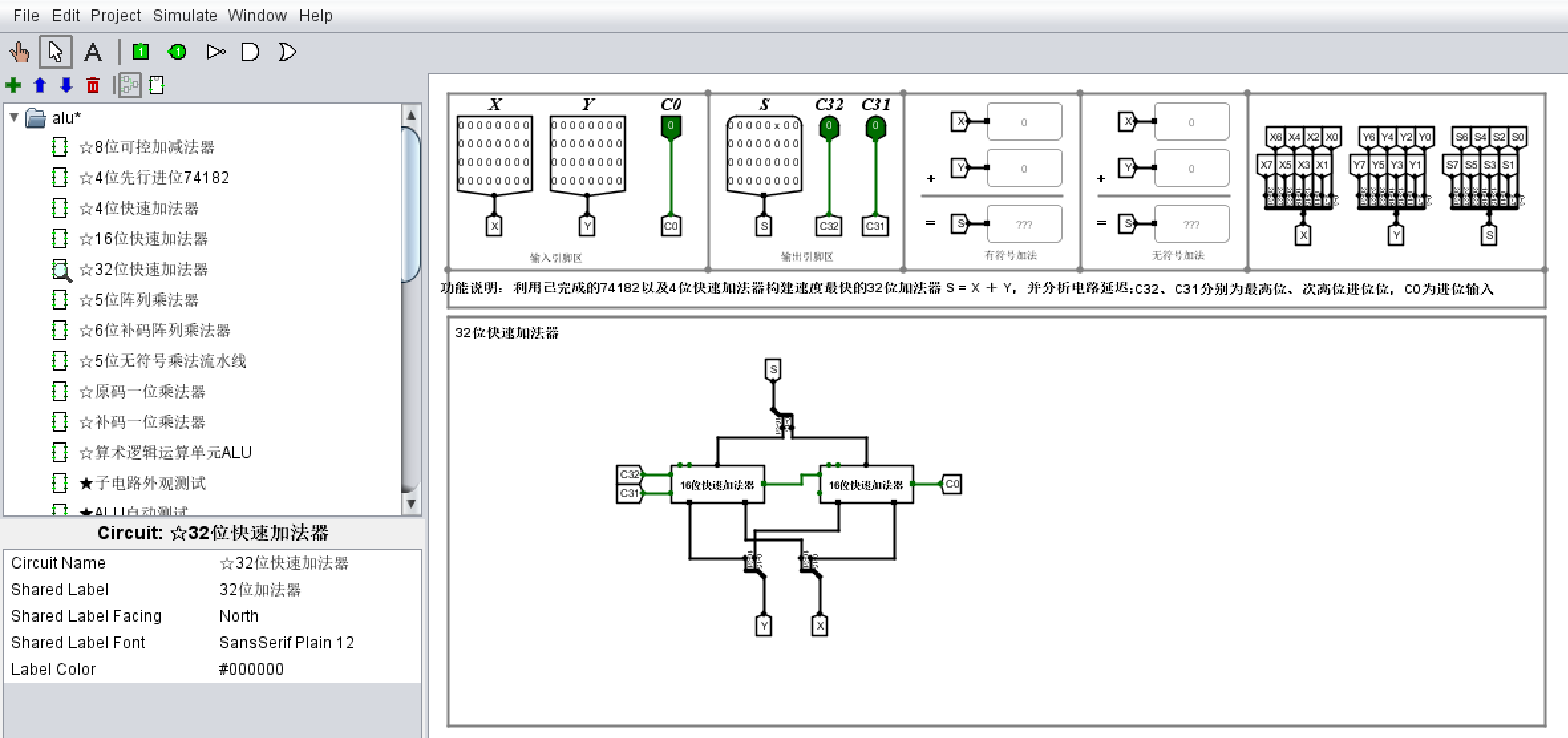


5.32位快速加法器设计

(1)设计思路

将四位快速加法器连接在一起，和CLA结合，组成为32位快速加法器，一共使用8个四位快速加法器与两个四位先行进位器，其中X0-X7,Y0-Y7,C0为输入引脚区，S，C32,C31为输出引脚区，S=X+Y，X,Y,S分别由X0-X7,Y0-Y7,S0-S7来决定。

(2)本关子电路实现



6.MIPS运算器设计

(1)设计思路

先构造出每一种功能的输出，然后根据OP的值来选择输出。

0-2：分别用一个移位器实现，设置对应的属性；

3-4：分别用乘法器、除法器实现；

5：加法，用32位加法器，OF判断最高位进位和符号位进位是否一致，UOF判断是否有进位（需一个异或门），C0取0；

6：减法，用32位加法器，Y取反用一个非门实现，无符号数的减法溢出，带加减功能的ALU的进位取反后表示，有符号数的减法溢出，用最高位和符号位是否相等来判断，C0取1；

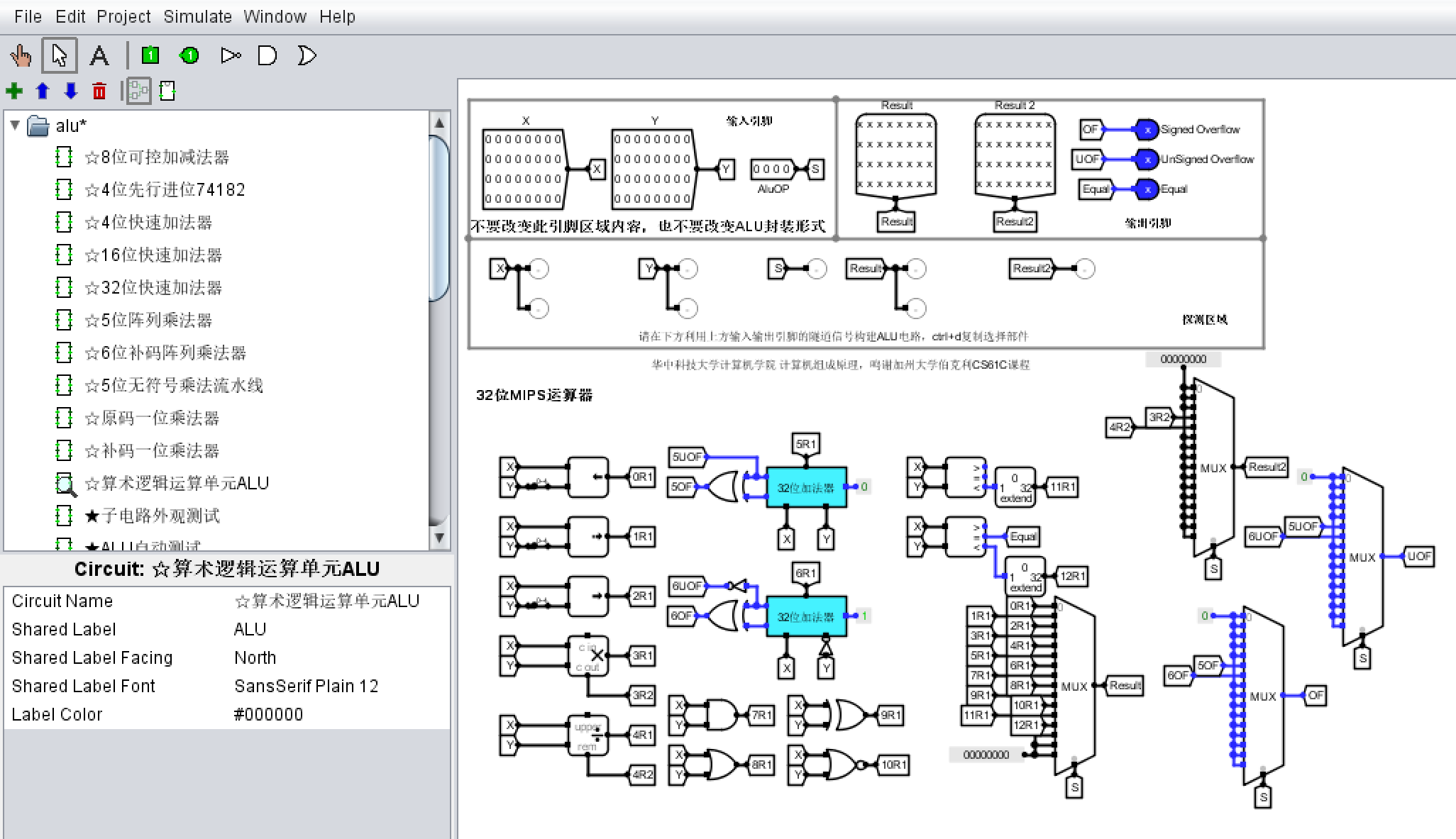
7-10：分别用与门、非门、异或门、或非门实现；

11：比较器用补码型，结果0拓展；

12：比较器用无符号型，结果0拓展，需要一个equal信号；

构造好之后，根据OP的值输出结果。

(2)本关子电路实现



## 三、 实验小结

1. 实验遇到的问题及解决办法

刚开始使用Logisim时候，因为位宽不正确，导致报错，修改后运行成功。

1. 本次实验的收获

可以通过电路中线的颜色判断哪里除了问题，比如蓝色表示位置状态，红色表示信号冲突，亮绿色表示高电平。可以较为熟练的使用Logisim，了解其中的元器件。